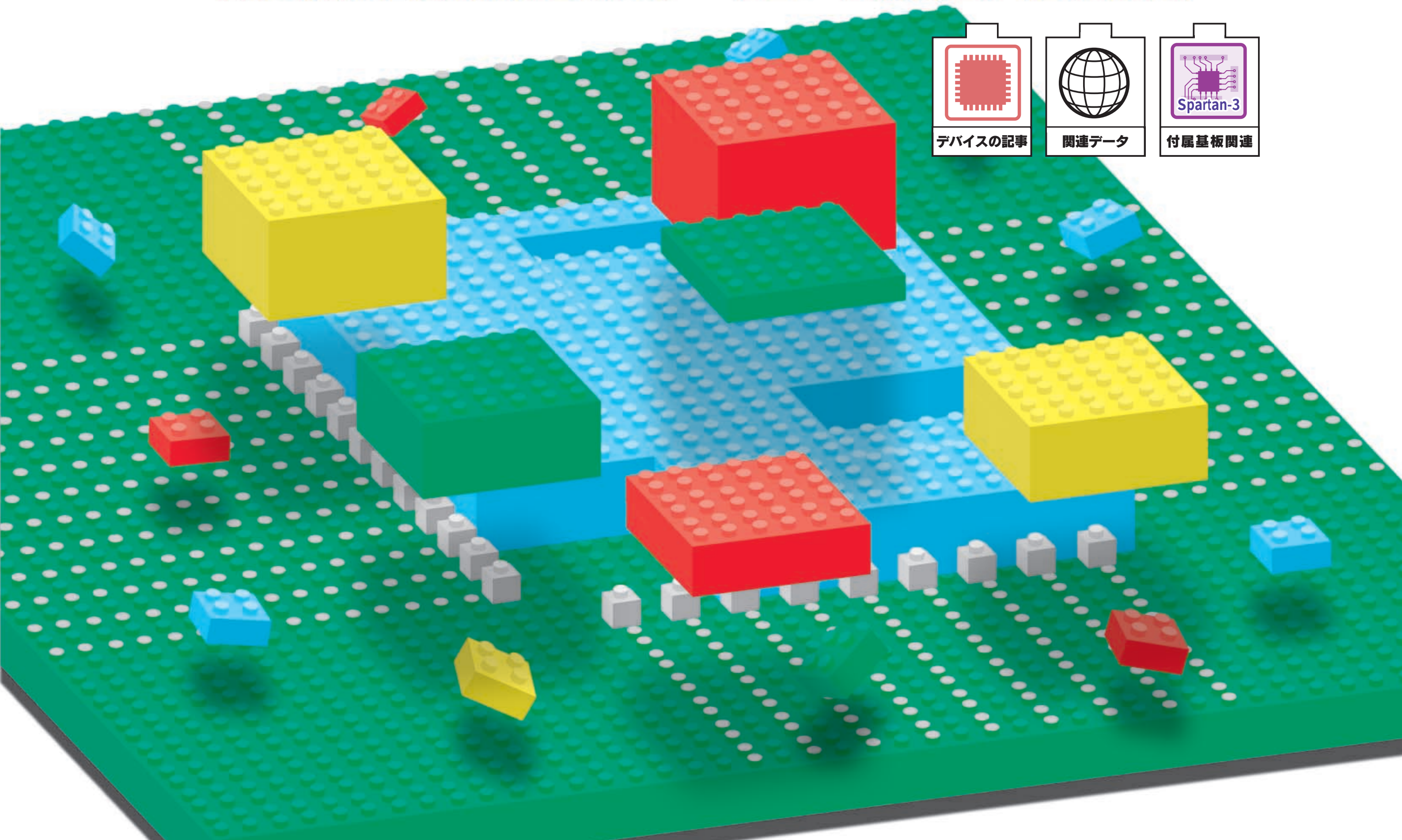
特集1

再利用のきくIPコアの内側の設計，外側の設計

～高速演算回路設計とインターフェース設計の“超絶技巧”～



デバイスの記事　関連データ　付属基板関連

本特集では，IP（intellectual property）コアの高速化・小規模化手法，およびそのIPコアをシステムLSIに組み込む際に必要となるインターフェース回路の設計手法を取り上げます．IPコアをいくらチューンアップしても，CPUや外部制御回路などとうまくつながなければ，システムLSI全体の高性能化は図れません．本特集では，高速演算コアの例として，浮動小数点演算の除算回路，およびディジタル・ビデオ・エフェクト・モジュールのアドレス生成部の設計を取り上げます．続いて，IPコアと外部を結ぶレジスタ・インターフェース回路とオンチップ・バスについて具体的な設計例を交えながら解説します．さらに，トランジスタ・レベルの回路構成を意識した最適化手法についても紹介します．